

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-043861

(43)Date of publication of application : 08.03.1985

(51)Int.Cl.

H01L 29/78

(21)Application number : 58-151315

(71)Applicant : NEC CORP

(22)Date of filing : 19.08.1983

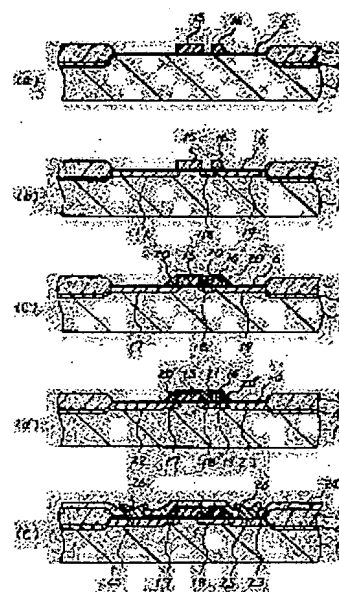
(72)Inventor : HIRANO YOSHIYUKI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To remove a photo-resist process while keeping the characteristics of high dielectric resistance, and to eliminate the need for making the allowance of positioning by introducing a second conduction type impurity in second concentration higher than first concentration only to the surfaces of second and third base bodies while using first and second semiconductor devices and a film on a narrow space section as masks.

CONSTITUTION: Another polycrystalline silicon sub-gate 16 is formed in parallel while being separated from a pattern of a polycrystalline silicon gate 15 in a diffusion layer region as a drain region. Phosphorus ions are implanted to the whole surface, and thermally treated to form N- diffusion layers 17, 18, 19. A silicon oxide film 20 is shaped between the gate 15 and the sub-gate 16, and silicon oxide films 20', 20'' are formed triangularly. Phosphorus or arsenic in high concentration is implanted to form N+ type source and drain diffusion layers 22, 23. The whole is thermally treated in order to activate implanted ions, the N+ diffusion layers are made deeper than the N- diffusion layers, and an oxide film 24 is grown. Contact windows 25 are bored onto the N+ diffusion layers and a silicon layer, and metallic wiring layers 26 are formed, thus completing a device.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-43861

⑬ Int. Cl.⁴
H 01 L 29/78

識別記号 庁内整理番号
7377-5F

⑭ 公開 昭和60年(1985)3月8日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭58-151315

⑰ 出 願 昭58(1983)8月19日

⑱ 発 明 者 平 野 芳 行 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

する工程とを含むことを特徴とする半導体装置の製造方法。

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

第一導電型半導体基体主表面の一部に絶縁ゲート型電界効果トランジスタを形成する半導体装置の製造方法において、絶縁膜を介してゲート電極となる第一の半導体層と、前記半導体層に狭間隔で並設された第二の半導体層を形成する工程と、前記狭間隔部の第一の基体表面と、前記第一の半導体層によって狭間隔部と離間された第二の基体表面と前記第二の半導体層によって狭間隔部と離間された第三の基体表面に第一濃度の第二導電形不純物を導入する工程と、前記狭間隔部に被膜を形成する工程と、前記第一の半導体層、第二の半導体層及び狭間隔部に設けた被膜をマスクとして前記第二の基体表面と第三の基体表面にのみ第一濃度より高い第二濃度の第二導電型不純物を導入

3. 発明の詳細な説明

〔発明の属する技術分野〕

本発明は半導体装置の製造方法に関し、特に高耐圧を目的とした絶縁ゲート電界効果トランジスタを有する半導体装置の製造方法に関する。

〔従来技術〕

高耐圧を目的とした絶縁ゲート電界効果トランジスタ(以下MOSと略称する)では、数百ボルトまでの高耐圧を目的としているものと、数十ボルトの高耐圧を目的としているものなど用途によっていくつかに分類できる。ここで我々が目的としているのは30V~50V程度までの耐圧を有する高耐圧トランジスタである。

従来は、このような耐圧を目的としたトランジスタを形成する方法としては高濃度のドレイン領域に隣接させて低濃度の拡散層を形成し、その低濃度拡散層が特にドレイン側からゲート電極下の

チャンネル領域へ食い込んだ形を有するオフセットゲート型のMOSを用いるのが普通である。このような形にすれば、ドレイン耐圧を決めるゲート下の拡散層が低濃度であるため、基板側だけでなく、拡散層の内側へも空乏層がのびるので拡散層の端部での電界の集中が弱められ、高いドレイン耐圧を得ることができる。このようなオフセット型のMOSの製造方法について、多結晶シリコンをゲートとするnチャンネルMOSを例にして第1図(a)~(f)を参照して説明する。

まず、第1図(a)に示すように、p型の基板1を用意し、その表面に薄い例えば $500 \sim 1000 \text{ \AA}$ の熱酸化膜2を形成し、ついでその上に窒化膜3を例えば $1200 \sim 1500 \text{ \AA}$ の厚さで成長させる。次に、素子形成領域となるべき部分のみにホトレジスト27をマスクとして窒化膜3を残し、他の部分を除去する。

次いで、第1図(b)に示すように、基板と同一導電型の不純物4をイオン注入法により素子形成領域以外のフィールド領域に導入し、次いで、窒化

膜をマスクとして選択酸化し、フィールド酸化膜5を形成すると共に、フィールド酸化膜下にチャンネルストッパー4を形成する。次いで、窒化膜3、酸化膜2を除去し、新たにゲート酸化膜6を形成する。そして、しきい値を制御するためのホウ素やリンのイオン注入はこの後の工程で行なう。

次に、第1図(c)に示すように、ゲートとなる多結晶シリコン層を成長してから、ゲート電極や配線層となる多結晶シリコン領域7を選択的に残し、他を除去する。

次に第1図(d)に示すように、高耐圧トランジスタとなるデバイス用にソースドレインとなる拡散領域に、リンなどを、例えばドーパ量が $1 \times 10^{12} \sim 1 \times 10^{13} \text{ cm}^{-2}$ 程度のイオン注入で導入し、 n^+ 拡散層8、8'を形成する。

次に、第1図(e)に示すように、ドレインとなる拡散層でゲート電極に近い側を目ざれしても十分な余裕がある間隔をとってホトレジストもしくはOVD酸化膜の膜9を形成する。これは高濃度のイオン注入に対するマスクとなる。その後、ヒ素

またはリンなどのn型不純物を例えば $10^{15} \sim 10^{16} \text{ cm}^{-2}$ 程度の注入量で注入してソース及びドレイン拡散層10、11を形成する。

次に、第1図(f)に示すように、層間絶縁膜12をOVD法により $0.5 \mu\text{m}$ 程度成長させ、ソース及びドレイン拡散層10、11及び多結晶シリコンゲート7の所望の部分にコンタクト窓13をホトレジスト・エッチング工程を通して開孔する。金属配線層14を形成して、オフセット型のMOSトランジスタが形成される。

このようなオフセット型MOSでは拡散層領域の空乏層の広がりが高濃度の低い基板側へ広がるだけでなく、 n^+ 拡散層側にも広がるため、電界集中が緩和されるためにドレイン耐圧が通常のMOSトランジスタよりも上昇することになる。例えば、通常のMOSトランジスタでゲート酸化膜 500 \AA のソースドレインをリンのイオン注入で作ったものはドレイン耐圧 20 V 程度であったものが $1 \times 10^{12} \text{ cm}^{-2}$ 程度のドーパ量による n^+ 層をドレイン側に隣接させたオフセット型のMOSトランジ

スタでは $30 \sim 40 \text{ V}$ のドレイン耐圧となる。しかし、このオフセット型では n^+ 拡散層に隣接して残すためにフォトレジストを用いるため、目合せ・露光の工程を必要とする。そして、この目合せの位置決めに対する余裕を選択酸化膜によって目合せの基準が形成されたのち多結晶シリコンゲートと選択酸化膜と n^+ 拡散層(ソースドレイン)の位置決めの関係で、決まるため最悪の状態でも n^+ 拡散層が所望の耐圧を維持しうるように $n^+ - n^-$ ゲート間隔を見込む必要がある。このために目合せ精度の必要な工程が増し、工程が複雑になるという欠点があった。

〔発明の目的〕

本発明の目的は高耐圧の特性を維持しながら、ホトレジスト工程をなくし目合せの余裕を見込む必要がない半導体装置の製造方法を提供することにある。

〔発明の構成〕

本発明の半導体装置の製造方法は、第一導電型半導体基体主表面の一部に絶縁ゲート型電界効果

トランジスタを形成する半導体装置の製造方法において、絶縁膜を介してゲート電極となる第一の半導体層と前記半導体層に狭間隔で並設された第二の半導体層を形成する工程と、前記狭間隔部の第一の基体表面と前記第一の半導体層によって狭間隔部と離間された第二の基体表面を前記第二の半導体層によって狭間隔部と離間された第三の基体表面に第一濃度の第二導電型不純物を導入する工程と、前記狭間隔部に被膜を形成する工程と、前記第一の半導体層、第二の半導体層及び狭間隔部に設けた被膜をマスクとして前記第二の基体表面と第三の基体表面にのみ第一濃度より高い第二濃度の第二導電型不純物を導入する工程とを含んで構成される。

〔実施例の説明〕

次に、本発明の実施例について、図面を参照して説明する。

第2図(a)~(e)は本発明の一実施例を説明するための工程順に示した断面図である。

本実施例においては第1図(a), (b)を経て、多結

晶シリコン層を形成する工程までは従来の方法と同一である。

次に第2図(a)に示すように、多結晶シリコンゲート15のパターン形成において、通常多結晶シリコンゲートとなるべきパターンと別にドレイン領域となる拡散層領域に、幅1~2μm程度で多結晶シリコンゲート15のパターンから間隔1~2μmはなして別の多結晶シリコンゲート(以下多結晶シリコンサブゲートと略称する)16を多結晶シリコンゲート15と平行に形成する。

次に、第2図(b)に示すように、全面にリン不純物を $1 \times 10^{12} \sim 1 \times 10^{14} \text{ cm}^{-2}$ 程度の注入量でイオン注入を行ない、熱処理を行なって押込み、 n^- 拡散層17, 18, 19を形成する。

次に、第2図(c)に示すように、シリコン化合物を主成分とする溶液を塗布焼成して酸化シリコン被膜20を第一の半導体層である多結晶シリコンゲートと第二半導体層である多結晶シリコンサブゲートの間に形成する。また、多結晶シリコンゲート15および多結晶シリコンサブゲート16の

端部の段差では膜の厚い所からすそを引くような三角状に酸化シリコン被膜20', 20''が形成される。また多結晶シリコンゲート15と多結晶シリコンサブゲート16の間21は、間隔1~2μmと狭いため図面塗布で、酸化シリコン被膜が厚く形成される。酸化シリコン被膜の有機汚染を完全に除去し、酸化シリコン被膜20を熱酸化膜とほぼ同じものとするための熱処理を例えば800~900℃の温度で行なう。

次に、第2図(d)に示すように、ソースドレインを形成するための高濃度のイオン注入を行なう。例えば、リンまたはヒ素を用い、 10^{16} cm^{-2} 程度の注入量で行なう。このようにして n^+ 型ソース及びドレイン拡散層22, 23を形成する。また、このとき、同時に多結晶シリコンゲート15、多結晶シリコンサブゲート16にも n 型不純物が導入される。多結晶シリコンゲート15のソース側及び多結晶シリコンサブゲート16のドレイン側には、三角形状の酸化シリコン被膜20', 20''があり、その傾斜領域ではシリコン中に導入する

不純物の分布も傾斜状になる。また多結晶シリコンゲート15と多結晶シリコンサブゲート16の間の領域21は厚い酸化シリコン被膜で被覆されるためソースドレイン用の高濃度の不純物は酸化シリコン被膜中に阻止されほとんどシリコン中には導入されない。

次に第2図(e)に示すように、注入イオンの活性化の熱処理を行なう。この熱処理で、深さ方向は n^+ 拡散層が n^- 拡散層よりも深くなる。層間絶縁膜としてOVD法で、酸化膜24を成長する。次にコンタクト窓25を n^+ 拡散層上及び多結晶シリコン層上に開孔し、その後金線配線層26を形成することでデバイスは完成する。

本発明の製造方法で、ゲート電極とサブゲート電極の間に導入された n^- 拡散層は押込みによりドレイン側の n^- 拡散層と接続され、第1図に示したオフセット型MOSの形状とはほぼ同一の型となり、 n^- 拡散層領域の空乏層ののび方も同様の考え方が適用でき高耐圧MOSトランジスタとなる。また、多結晶シリコンサブゲートの電極下の

チャンネル領域で n^- 層が接続されていなかった場合には、ゲート電極をドレイン電圧と同電位としておけばトランジスタはオン状態になり、ドレイン耐圧は第1ゲート多結晶シリコン層のドレイン端で決まる。

また、本発明の実施例では多結晶シリコンゲート15と多結晶シリコンサブゲート16の間の狭間隔部の他に第2の基体表面側及び第3の基体表面側の多結晶シリコンゲート15及び多結晶シリコンサブゲート16の側面にも三角形形状の酸化シリコン被膜20'、20''が形成されているため、ソース側にも第一濃度の第二導電型領域が残り耐圧向上に効果がある。また多結晶シリコンサブゲート16の側面に形成された酸化シリコン被膜20''の下も同様に第一濃度の第二導電型領域が残りドレイン側の耐圧向上に効果がある。しかも、これらの絶縁膜は三角形形状に形成されているので第一濃度より高い第二濃度の第二導電型不純物により形成されるソース、ドレイン領域のチャンネル側は三角形形状の絶縁膜に対応した形で形成され

るので空乏層の形がそれに対応し耐圧向上のため効果を発揮する。

以上一実施例としては、 n チャンネルシリコンゲートトランジスタの製造方法につき説明したが、これは p チャンネルシリコンゲートトランジスタは勿論、OMOSにも適用することができる。

〔発明の効果〕

以上説明したように、本発明によれば、高耐圧の半導体装置の形成のため高濃度ドレイン領域に隣接させて低濃度の拡散層を形成するにあたり、特別なホットレジスト工程をすることなく、したがって目合せの余裕をとる必要がなく、かつ高耐圧特性の確保できる半導体装置の製造方法が得られる。

4. 図面の簡単な説明

第1図(a)~(f)は従来の n チャンネルシリコンゲートのオフセット型MOSトランジスタの製造方法の一例を説明するための工程順に示した断面図、第2図(a)~(e)は本発明の一実施例を説明するため

の工程順に示した断面図である。

1…… p 型基板、2……酸化膜、3……窒化膜、4…… p チャンネルストップ、5……フィールド酸化膜、6……ゲート酸化膜、7……多結晶シリコンゲート、8、8'…… n^- 拡散層、9……マスク材、10、11……ソース及びドレイン拡散層、12……層間絶縁膜、13……コンタクト窓、14……金属配線層、15……多結晶シリコンゲート、16……多結晶シリコンサブゲート、17、18、19…… n^- 拡散層、20、20'、20''……酸化シリコン被膜、21……多結晶シリコンゲートと多結晶シリコンサブゲートの間の領域、22、23……ソース及びドレイン拡散層、24……層間絶縁膜、25……コンタクト窓、26……金属配線層。

代理人 弁理士 内 原



